

APELLIDOS	DNI:	Firma
NOMBRE		

MODELO DE EXAMEN A**PROBLEMA 1A (3 puntos)**

La siguiente entidad y arquitectura corresponden a un circuito combinacional.

```

LIBRARY ieee;
USE ieee.STD_LOGIC_1164.all;

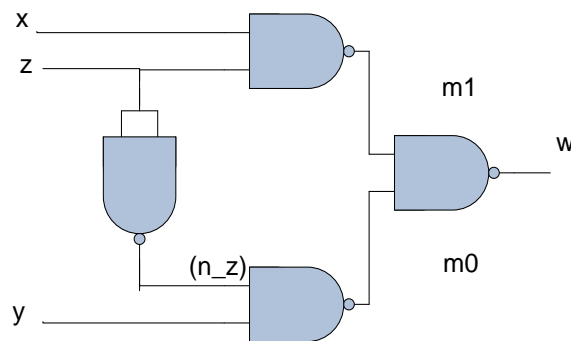
ENTITY examen_marzo_14 IS
    PORT (x,y,z:IN STD_LOGIC; w:OUT STD_LOGIC);
END examen_marzo_14;

ARCHITECTURE estructural OF examen_marzo_14 IS
    SIGNAL n_z, m0, m1: STD_LOGIC;
    COMPONENT NAND_2 IS
        GENERIC (retardo:TIME:= 0 NS); PORT (e1,e0:IN STD_LOGIC; s: OUT STD_LOGIC);
    END COMPONENT;
BEGIN
    U0: nand_2 GENERIC MAP (2 ns) PORT MAP (e1 => n_z,      e0 => y, s => m0);
    U1: nand_2 GENERIC MAP (0 ns) PORT MAP (e1 => z,        e0 => z, s => n_z);
    U2: nand_2 GENERIC MAP (1 ns) PORT MAP (e1 => m1,       e0 => m0, s => w);
    U3: nand_2 GENERIC MAP (2 ns) PORT MAP (e1 => z,        e0 => x, s => m1);
END estructural;

```

1) Dibuje la estructura del circuito.

(1 punto)



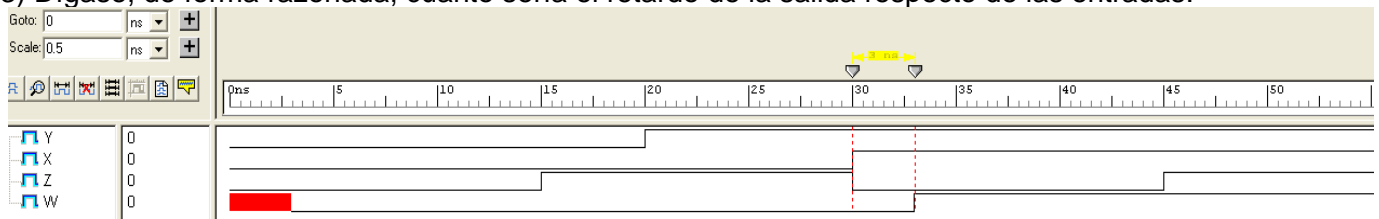
Se trata de un MUX 2:1 implementado con puertas NAND

2) Dígase, de forma razonada, con cuantas sentencias concurrentes se ha descrito la arquitectura

Son 4 sentencias las correspondientes a la instanciación de componentes

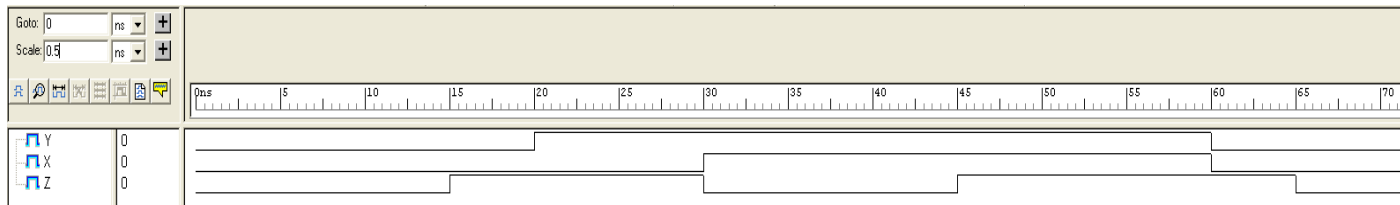
(0,5 puntos)

3) Dígase, de forma razonada, cuanto sería el retardo de la salida respecto de las entradas.



La salida está retrasada respecto de la entrada 3 ns, ya que el inversor no tiene retardo, las dos puertas que están en paralelo tienen un retardo igual de 2 ns, y la que está en serie con las anteriores es de 1 ns. Esto puede observarse en las formas de onda, en las que la salida W aparece retrasada 6 divisiones respecto del inicio (0 ns). Teniendo en cuenta que la escala es de 0,5 ns/division, el retardo es entonces 3 ns.

4) Si se deseara testear la arquitectura con las siguientes formas de onda, descríbalas con sentencias VHDL.



(1 punto)

Y <= '0', '1' AFTER 20 ns, '0' AFTER 60 ns;

X <= '0', '1' AFTER 30 ns, '0' AFTER 60 ns;

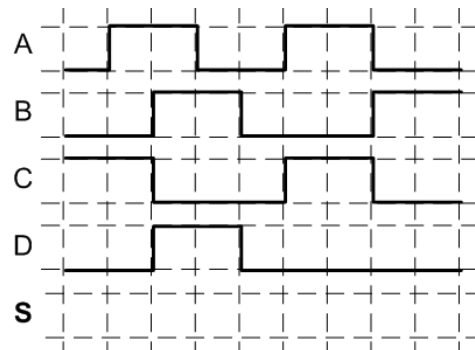
Z <= '0', '1' AFTER 15 ns, '0' AFTER 30 ns, '1' AFTER 45 ns, '0' AFTER 65 ns;

PROBLEMA 2A (3,5 puntos).

Se desea diseñar un sistema digital, que tenga como entradas cuatro señales A, B, C y D, que valdrán 0 o 1 según que el correspondiente accionista de una empresa vote en contra o a favor de una propuesta. Este sistema digital deberá producir una salida (S) con valor 1 cuando alcance la mayoría absoluta en una propuesta. Hay que considerar que las acciones de esa empresa están distribuidas en cuatro lotes con los siguientes porcentajes: A=20%, B=22%, C=27% y D=31%. Los acuerdos en la sociedad se toman por mayoría absoluta, por tanto cuando se obtenga más del 50 % en una votación.

Se pide:

1. Escribir la tabla de verdad completa.
2. Simplificar la función de Salida (S) mediante un mapa de Karnaugh.
3. Expresar la función de salida (S) expandida mediante el teorema de Shannon en las variables A y B, como suma de productos. Implementar dicha función (S) mediante un multiplexor.
4. Representar **sobre** el cronograma adjunto, el valor de la Salida (S).



SOLUCION:

ABCD	S
20-22-27-31	
0000	0
0001	0
0010	0
0011	1
0100	0
0101	1
0110	0
0111	1
1000	0
1001	1
1010	0
1011	1
1100	0
1101	1
1110	1
1111	1

1) Tabla de verdad. Cuando el accionista (A, B, C, D) votan a favor (un 1 en tabla) hay que sumar su % de participación para comprobar si sale >50% y por tanto la salida será entonces 1. Si no suman más del 50%, la salida será 0.

(1 punto)

2. Simplificar la función de Salida (S) mediante un mapa de Karnaugh.

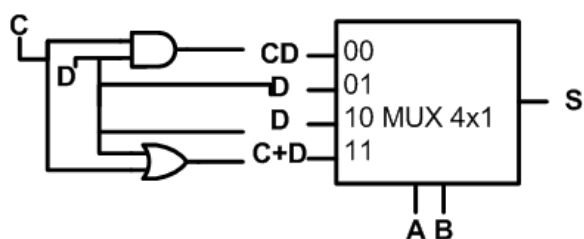
(0,5 puntos)

CD \ AB	00	01	11	10
00			1	
01		1	1	
11		1	1	1
10		1	1	

Del mapa: $S = CD + BD + AD + ABC = D(A+B+C) + ABC$

3. Expresar la función de salida (S) expandida mediante el teorema de Shannon en las variables A y B, como suma de productos. Implementar dicha función (S) mediante un multiplexor.

$$S = AB f(1,1,C,D) + AB' f(1,0,C,D) + A'B f(0,1,C,D) + A'B' f(0,0,C,D)$$



$$G3 = D(1+1+C) + 1.1.C = D+C$$

$$G2 = D(1+0+C) + 1.0.C = D$$

$$G1 = D(0+1+C) + 0.1.C = D$$

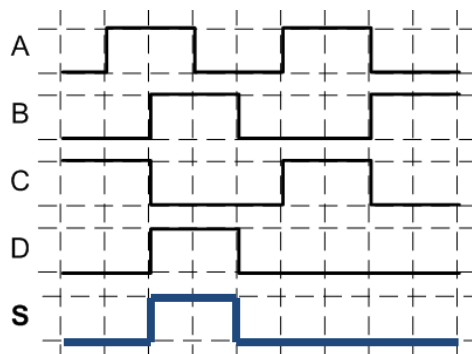
$$G0 = D(0+0+C) + 0.0.C = DC$$

$$S = A'B'(CD) + A'B(D) + AB'(D) + AB(D+C)$$

(1 punto)

4. Representar **sobre** el cronograma adjunto, el valor de la Salida (S)

(1 punto)



PROBLEMA 3A (3,5 puntos).

Considere que los números $A = 3D_{16}$ y $B = CE_{16}$ son números expresados en hexadecimal.

- 1) Calcule el valor decimal en el caso en que estén representados en COMPLEMENTO A DOS.
- 2) Represente un esquema de un sumador restador en Complemento a 2 de 8 bits con sumadores completos y las puertas lógicas necesarias.
- 3) Calcule $A+B$, y especifique sobre el circuito del apartado anterior, TODOS los bits de la operación completa.
- 4) Exprese el resultado obtenido en el apartado anterior en formato de 13 bits.

SOLUCION:

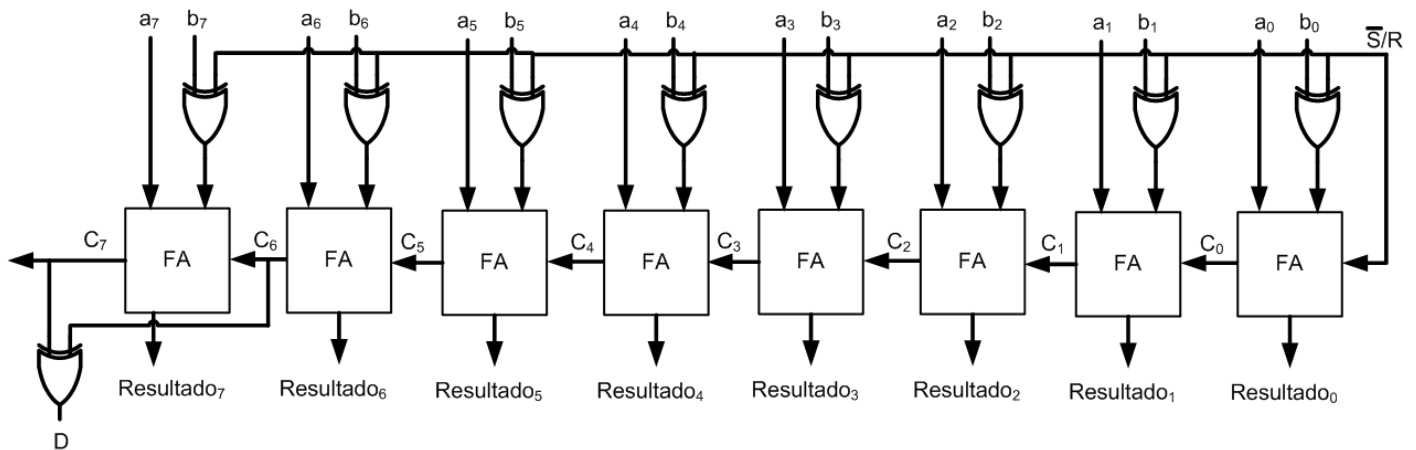
Considere que los números $A = 3D_{16}$ y $B = CE_{16}$ son números expresados en hexadecimal.

- 1) Calcule el valor decimal en el caso en que estén representados en COMPLEMENTO A DOS

$$A = 0011\ 1101 \rightarrow +61$$

(0,5 puntos)

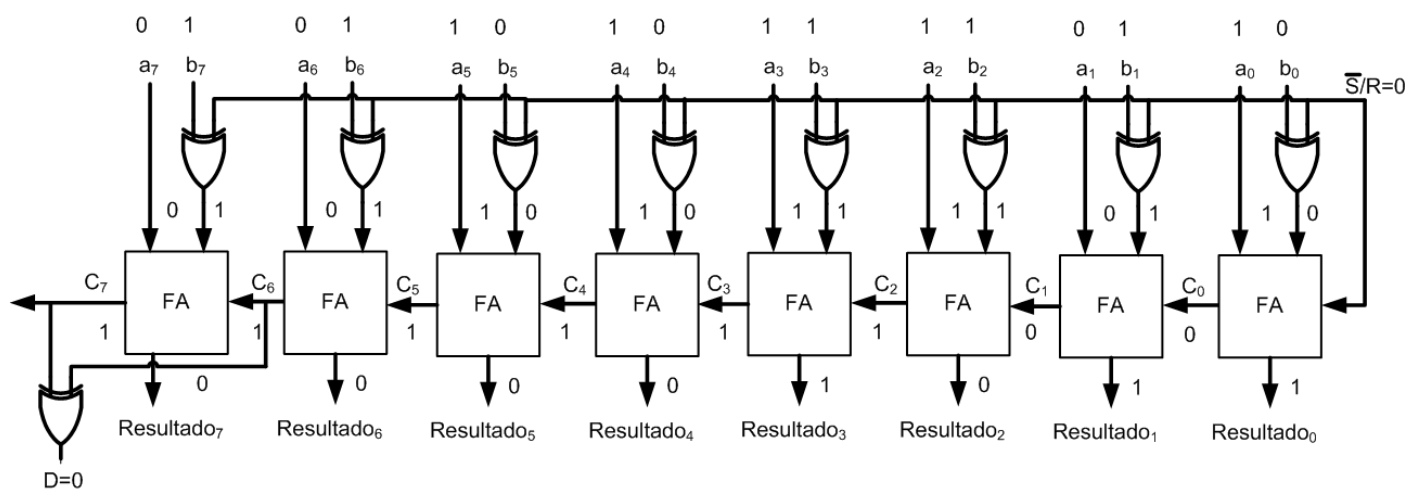
- 2) Represente un esquema de un sumador restador en Complemento a 2 de 8 bits con sumadores completos y las puertas lógicas necesarias.



(1 punto)

- 3) Calcule A+B, y especifique sobre el circuito del apartado anterior, TODOS los bits de la operación completa.

(1 punto)



$A+B = 00001011 \rightarrow +11$

(0,5 puntos)

- 4) Exprese el resultado obtenido en el apartado anterior en formato de 13 bits.

$00001011 \rightarrow 0000000001011$

(0,5 puntos)

MODELO DE EXAMEN B**PROBLEMA 1B (3 puntos)**

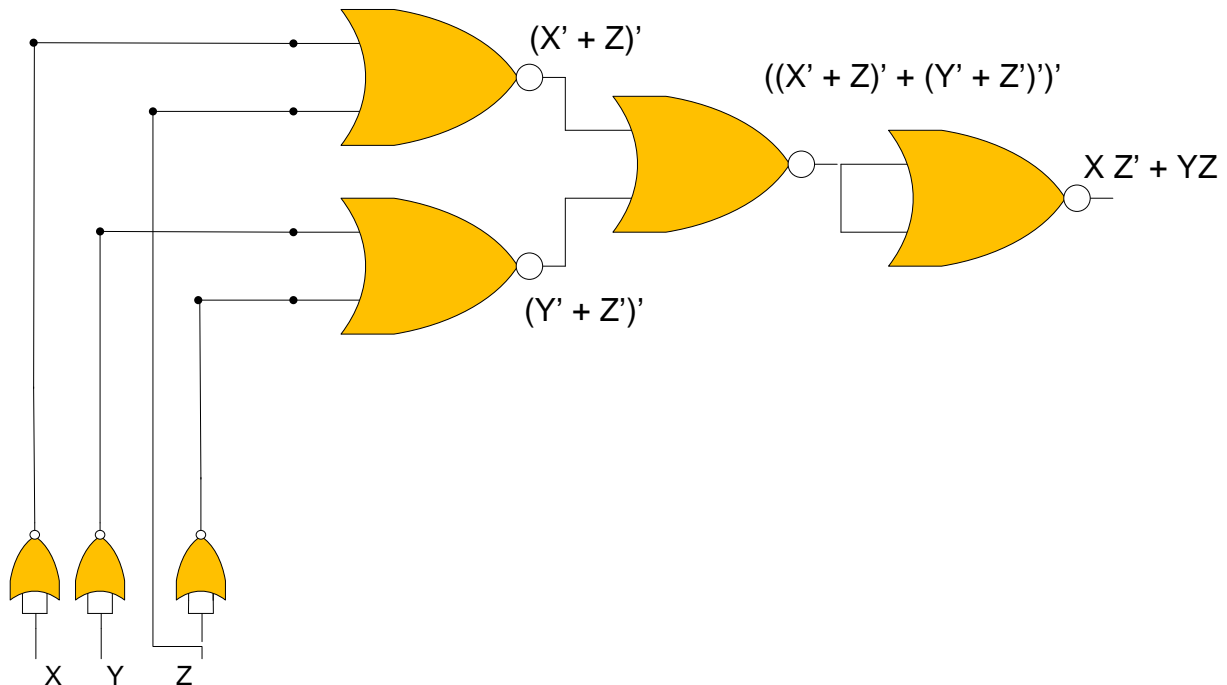
La siguiente entidad y arquitectura corresponden a un circuito combinacional.

```

LIBRARY ieee;
USE ieee.STD_LOGIC_1164.all;
ENTITY examen_marzo_14_b IS
    PORT (x,y,z: IN STD_LOGIC; w:OUT STD_LOGIC);
END examen_marzo_14_b;
ARCHITECTURE estructural OF examen_marzo_14_b IS
    SIGNAL n_y, n_x, n_z, n_w, m0, m1: STD_LOGIC;
    COMPONENT NOR_2 IS
        GENERIC (retardo:TIME:= 0 NS); PORT (e1,e0:IN STD_LOGIC; s: OUT STD_LOGIC);
    END COMPONENT;
BEGIN
    U1: nor_2 GENERIC MAP (1 ns) PORT MAP (e1 => y,      e0 => y, s => n_y);
    U2: nor_2 GENERIC MAP (1 ns) PORT MAP (e1 => x,      e0 => x, s => n_x);
    U3: nor_2 GENERIC MAP (1 ns) PORT MAP (e1 => z,      e0 => z, s => n_z);
    U4: nor_2 GENERIC MAP (0 ns) PORT MAP (e1 => n_x,    e0 => z, s => m0);
    U5: nor_2 GENERIC MAP (0 ns) PORT MAP (e1 => n_y,    e0 => n_z, s => m1);
    U6: nor_2 GENERIC MAP (0 ns) PORT MAP (e1 => m1,    e0 => m0, s => n_w);
    U7: nor_2 GENERIC MAP (4 ns) PORT MAP (e1 => n_w,    e0 => n_w, s => w);
END estructural;

```

1) Dibuje la estructura del circuito **(1 punto)**



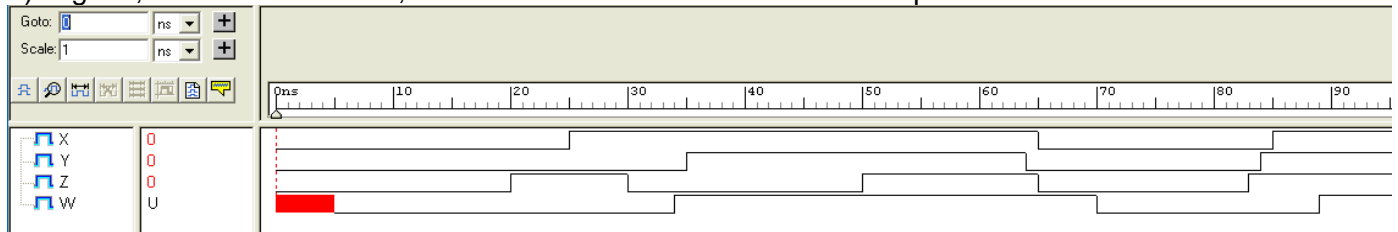
Se trata de un MUX 2:1 implementado con puertas NOR

2) Dígase, de forma razonada, con cuantas sentencias concurrentes se ha descrito la arquitectura.

Son 7 sentencias las correspondientes a la instanciación de componentes

(0,5 puntos)

3) Dígase, de forma razonada, cuanto sería el retardo de la salida respecto de las entradas.

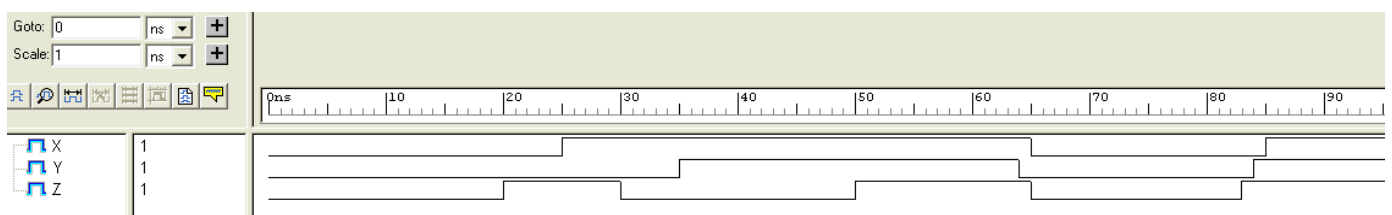


En el peor de los casos 5 ns, 1ns correspondiente a los inversores de las estradas y 4 ns al inversor de la etapa final. Esto puede observarse en las formas de onda, en las que la salida W aparece retrasada 6 divisiones respecto del inicio (0 ns). Teniendo en cuenta que la escala es de 1 ns/división, el retardo es entonces 3 ns.

(0,5 puntos)

4) Si se desease testear la arquitectura con las siguientes formas de onda, descríbalas con sentencias VHDL.

(1 punto)



x <= '0', '1' AFTER 25 ns, '0' AFTER 65 ns, '1' AFTER 85 ns;

y <= '0', '1' AFTER 35 ns, '0' AFTER 64 ns, '1' AFTER 84 ns;

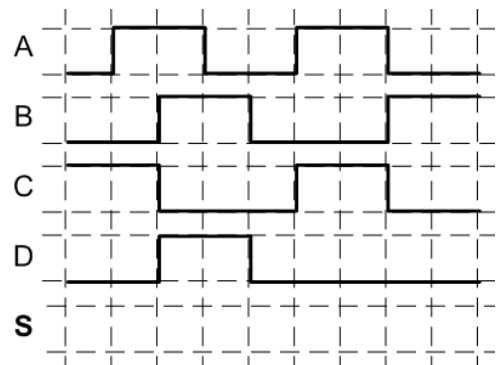
z <= '0', '1' AFTER 20 ns, '0' AFTER 30 ns, '1' AFTER 50 ns, '0' AFTER 65 ns, '1' AFTER 83 ns;

PROBLEMA 2B (3,5 puntos).

Se desea diseñar un sistema digital, que tenga como entradas cuatro señales A, B, C y D, que valdrán 0 o 1 según que el correspondiente propietario de una vivienda vote en contra o a favor de una propuesta en la Junta de vecinos. Este sistema digital deberá producir una salida (S) con valor 1 cuando alcance la mayoría absoluta en una propuesta. Hay que considerar que las participaciones de los vecinos en la gestión de la vivienda están distribuidas en cuatro lotes con los siguientes porcentajes: A=27%, B=31%, C=20% y D=22%. Los acuerdos en la comunidad se toman por mayoría absoluta, por tanto cuando se obtenga más del 50 % en una votación.

Se pide:

1. Escribir la tabla de verdad completa.
2. Simplificar la función de Salida (S) mediante un mapa de Karnaugh.
3. Expresar la función de salida (S) expandida mediante el teorema de Shannon en las variables A y B, como suma de productos. Implementar dicha función (S) mediante un multiplexor.
4. Representar **sobre** el cronograma adjunto, el valor de la Salida (S).



SOLUCION:

1. Escribir la tabla de verdad completa.

(1 punto)

ABCD 27-31-20-22	S
0000	0
0001	0
0010	0
0011	0
0100	0
0101	1
0110	1
0111	1
1000	0
1001	0
1010	0
1011	1
1100	1
1101	1
1110	1
1111	1

Cuando el accionista (A, B, C, D) votan a favor (un 1 en tabla) hay que sumar su % de participación para comprobar si sale >50% y por tanto la salida será entonces 1. Si no suman más del 50%, la salida será 0.

2. Simplificar la función de Salida (S) mediante un mapa de Karnaugh.

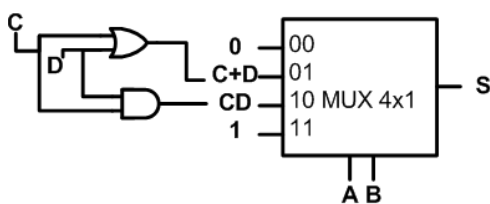
(0,5 puntos)

CD \ AB	00	01	11	10
00				
01		1	1	1
11	1	1	1	1
10			1	

Del mapa: $S = AB + BD + BC + ACD = B(A+C+D) + ACD$

3. Expresar la función de salida (S) expandida mediante el teorema de Shannon en las variables A y B, como suma de productos. Implementar dicha función (S) mediante un multiplexor.

$$S = AB f(1,1,C,D) + AB' f(1,0,C,D) + A'B f(0,1,C,D) + A'B' f(0,0,C,D)$$



$$G3 = 1(1+C+D) + 1.C.D = 1 + CD = 1$$

$$G2 = 0(1+C+D) + 1.C.D = CD$$

$$G1 = 1(0+C+D) + 0.C.D = C + D$$

$$G0 = 0(0+C+D) + 0.C.D = 0$$

$$S = A'B'(0) + A'B(C+D) + AB'(CD) + AB(1)$$

(1 punto)

4) Completar el valor de la Salida (S) en el siguiente cronograma.



(1 punto)

PROBLEMA 3B (3,5 puntos).

Considere que los números $A = 2C_{16}$ y $B = DF_{16}$ son números expresados en hexadecimal.

- 1) Calcule el valor decimal en el caso en que estén representados en COMPLEMENTO A DOS.
- 2) Represente un esquema de un sumador restador en Complemento a 2 de 8 bits con sumadores completos y las puertas lógicas necesarias.
- 3) Calcule $A+B$, y especifique sobre el circuito del apartado anterior, TODOS los bits de la operación completa.
- 4) Exprese el resultado obtenido en el apartado anterior en formato de 13 bits.

SOLUCION:

Considere que los números $A = 2C_{16}$ y $B = DF_{16}$ son números expresados en hexadecimal.

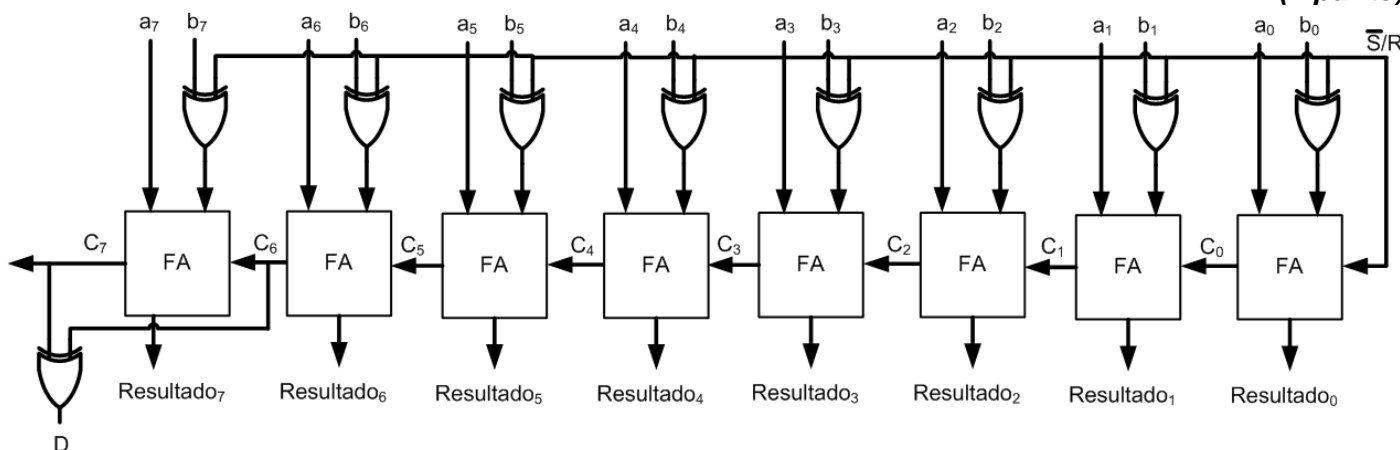
- 1) Calcule el valor decimal en el caso en que estén representados en COMPLEMENTO A DOS.

(0,5 puntos)

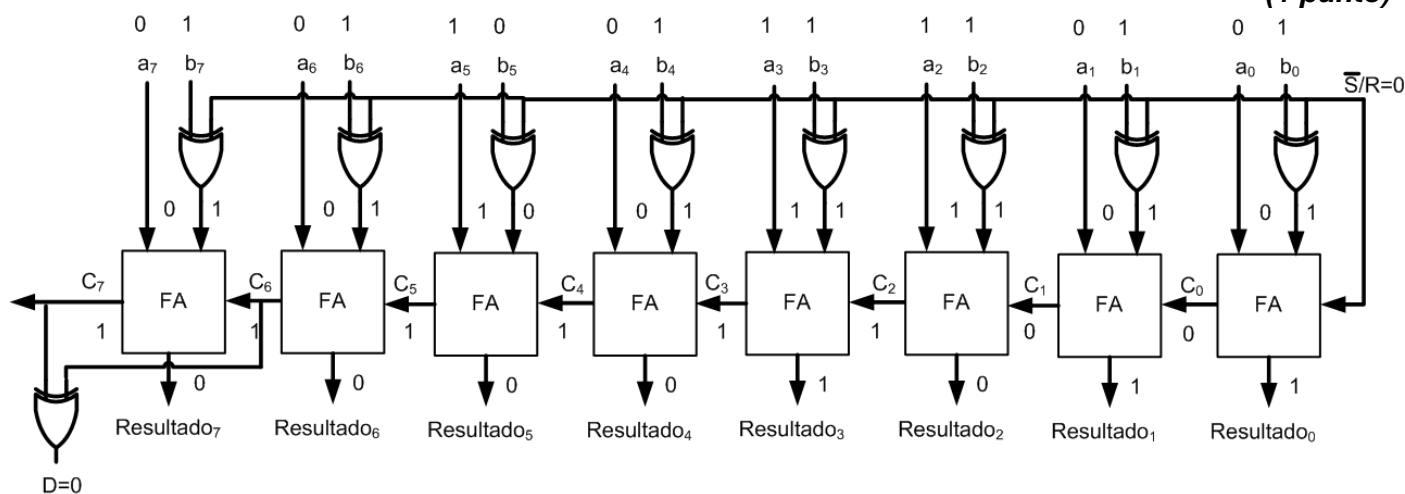
$$A = 0010\ 1100 \rightarrow +44$$

$$B = 1101\ 1111 \rightarrow -33$$

- 2) Represente un esquema de un sumador restador en Complemento a 2 de 8 bits con sumadores completos y las puertas lógicas necesarias.

(1 punto)

- 3) Calcule $A+B$, y especifique sobre el circuito del apartado anterior, TODOS los bits de la operación completa.

(1 punto)

$$A+B = 00001011 \rightarrow +11$$

(0,5 puntos)

4. Exprese el resultado obtenido en el apartado anterior en formato de 13 bits. Se ha de replicar el signo:

(0,5 puntos)

$$00001011 \rightarrow 0000000001011$$